

03-28-02

2133

**IN THE UNITED STATE PATENT AND TRADEMARK OFFICE**

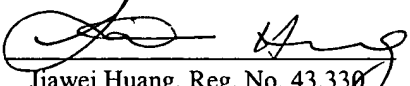
In re application of: : KO-YAN SHIH et al.  
Application No.: : 10/039,852  
Filed: : October 22,2001  
For: : METHOD AND CIRCUIT FOR TESTING A  
: CHIP  
Examiner: :



**Certificate of Mailing**

I hereby certify that this correspondence and all marked attachments are being deposited with the United States Postal Service as express mail EY 094226473 US in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231, on

March 25, 2002  
(Date)

  
Jiawei Huang, Reg. No. 43,330

**RECEIVED**

**APR 03 2002**

**Technology Center 2100**

ASSISTANT COMMISSIONER FOR PATENTS  
WASHINGTON, D.C. 20231

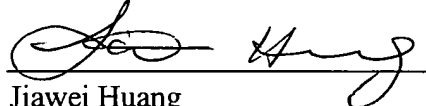
Sir:

Transmitted herewith is a certified copy of Taiwan Application No. 90107334 filed on March 28, 2001.

A return prepaid postcard is also included herewith.

It is believed no fee is due. However, the Commissioner is authorized to charge any fees required, including any fees for additional extension of time, or credit overpayment to Deposit Account No. 50-0710 (Order No. JCLA7022). A duplicate copy of this sheet is enclosed.

Date: 3/25/2002

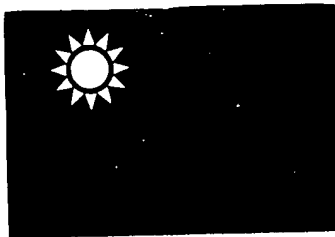
By:   
Jiawei Huang  
Registration No. 43,330

**Please send future correspondence to:**

J. C. Patents  
4 Venture, Suite 250  
Irvine, California 92618  
(949) 660-0761

JCLF7022

10/039,852



# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereu

申請日：西元 2001 年 03 月 28 日  
Application Date

申請案號：090107334  
Application No.

申請人：威盛電子股份有限公司  
Applicant(s)

RECEIVED

APR 03 2002

Technology Center 2100

**CERTIFIED COPY OF  
PRIORITY DOCUMENT**

局長  
Director General

陳明邦

發文日期：西元 2001 年 5 月  
Issue Date

發文字號：09011006189  
Serial No.

申請日期	
案 號	
類 別	

A4  
C4

(以上各欄由本局填註)

# 發 明 專 利 說 明 書

一、發明 新型名稱	中 文	測試晶片之方法及其電路
	英 文	
二、發明 創作人	姓 名	1 施克彥 2 許銘勛
	國 籍	中華民國
	住、居所	1 台北市士林區中正路 435 巷 17 弄 4 號 1 樓 2 台北市大安區通化街 38 巷 9-1 號 2 樓
三、申請人	姓 名 (名稱)	威盛電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	台北縣新店市中正路 533 號 8 樓
	代 表 人 姓 名	王雪紅

經濟部智慧財產局員工消費合作社印製

裝

訂

線

## 四、中文發明摘要（發明之名稱： 測試晶片之方法及其電路 )

一種測試晶片之電路，此晶片具有一智產電路模組，此測試電路包括：一多工控制器、數個暫存器及一多工有限狀態機器控制器，多工有限狀態機器控制器於數個不同狀態依照測試式樣來分別設定這些暫存器，於下一個狀態時，提供測試起始訊號至智產電路模組，使智產電路模組依據這些暫存器之輸出而運作，以測試智產電路模組。

## 英文發明摘要（發明之名稱： )

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

## 五、發明說明 ( / )

本發明是有關於一種晶片之測試方法與電路，且特別是有關於一種晶片可以做分時處理(Timing Division)之測試方法與電路。

由於半導體的技術不斷地進步，晶片中閘數(Gate Counts)大量地增加，系統單晶片(System On Chip, SOC)亦成為未來之趨勢，然而要測試積體電路的功能是否正常，並無法在晶片中提供很多測試腳位，因此提出各種方法與電路來解決無法提供很多測試腳位的問題。

第 1 圖繪示習知之測試晶片的內部掃描鍊結構圖。在第 1 圖內部掃描鍊(Internal Scan Chain)結構中，當送入掃描時脈(scan clock)至多工正反器(Multiplexed Flip Flop)MF1 102~MF5 104 時，多工正反器 MF1 102~MF5 104 以串列的方式讀取測試式樣(test pattern)訊號。當第一個掃描時脈送入時，多工正反器 MF1 102 的輸入端 SI 接收第一筆測試式樣；當第二個掃描時脈送入時，多工正反器 MF2 106 的輸入端 SI 接收多工正反器 MF1 102 的輸出端 SO 所輸出的第一筆測試式樣，多工正反器 MF1 102 的輸入端 SI 接收第二筆測試式樣。

以此類推，當第五個掃描時脈送入時，多工正反器 MF5 104 的輸入端 SI 接收多工正反器 MF4 110 的輸出端 SO 所輸出的第一筆測試式樣，多工正反器 MF4 110 的輸入端 SI 接收多工正反器 MF3 108 的輸出端 SO 所輸出的第二筆測試式樣，多工正反器 MF3 108 的輸入端 SI 接收多工正反器 MF2 106 的輸出端 SO 所輸出的第三筆

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明 ( 2 )

測試式樣，多工正反器 MF2 106 的輸入端 SI 接收多工正反器 MF1 102 的輸出端 SO 所輸出的第四筆測試式樣，多工正反器 MF1 102 的輸入端 SI 接收第五筆測試式樣。

如此，當送入系統時脈時，組合邏輯電路 112 接收系統輸入訊號，組合邏輯電路 114 接收多工正反器 MF1 102 的輸出端 Q 所輸出的第五筆測試式樣與多工正反器 MF2 106 的輸出端 Q 所輸出的第四筆測試式樣，組合邏輯電路 116 接收多工正反器 MF3 108 的輸出端 Q 所輸出的第三筆測試式樣、多工正反器 MF4 110 的輸出端 Q 所輸出的第二筆測試式樣與多工正反器 MF5 104 的輸出端 Q 所輸出的第一筆測試式樣；以令組合邏輯電路 112、組合邏輯電路 114 與組合邏輯電路 116 測試其電路功能。

接著，組合邏輯電路 112 執行的結果輸入至多工正反器 MF1 102 的輸入端 D 與多工正反器 MF2 106 的輸入端 D，組合邏輯電路 114 執行的結果輸入至多工正反器 MF3 108 的輸入端 D、多工正反器 MF4 110 的輸入端 D 與多工正反器 MF5 104 的輸入端 D。

然而，當掃描時脈再一次送出時脈訊號時，在第一個掃描時脈，多工正反器 MF5 104 的輸出端 SO 送出第一筆測試結果，多工正反器 MF4 110 的輸出端 SO 送出第二筆測試結果至多工正反器 MF5 102 的輸入端 SI，多工正反器 MF3 108 的輸出端 SO 送出第三筆測試結果至多工正反器 MF4 110 的輸入端 SI，多工正反器 MF2 106

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

## 五、發明說明 ( 3 )

的輸出端 SO 送出第四筆測試結果至多工正反器 MF3 108 的輸入端 SI，多工正反器 MF1 102 的輸出端 SO 送出第五筆測試結果至多工正反器 MF2 106 的輸入端 SI。以此類推，在第五個掃描時脈，多工正反器 MF5 104 的輸出端 SO 會送出第五筆測試結果。

因此，晶片以內部掃描鍊的方法進行測試，依照上述的步驟可以測試出晶片內的電路模組之功能是否正常。但是內部掃描鍊方法的缺點是每測試其中一個電路模組的功能，就需要送入一組不同的測試式樣，若要完成晶片內的測試，則需要數量眾多測試式樣。

而且，用來測試晶片所要產生與修正之測試式樣，若晶片的電路模組改變，則測試式樣亦隨之改變，使得產品推出時程延後，並增加測試的成本。此外，測試用的多工正反器在晶片中佔用很大的面積，亦不符合經濟效益。

另一種測試晶片的方法如第 2 圖繪示習知之測試晶片的邊界掃描方塊圖所示。在第 2 圖中，以邊界掃描 (Boundary Scan) 的方法來測試邏輯電路 202、邏輯電路 204、邏輯電路 206 與邏輯電路 208 的電路特性，是在其周圍佈置數個邊界掃描細胞 (boundary scan cell) 210。

以第 2 圖為例，每個邏輯電路佈置六個邊界掃描細胞，而所有的邊界掃描細胞是串聯的方式，並且以串列方式接收每一筆測試式樣。當所有的邊界掃描細胞接收完測試式樣時，以並列的方式將測試式樣送入所有的邏

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(4)

輯電路，再以並列的方式接收所有的邏輯電路之測試結果，最後以串列方式一筆一筆送出測試的結果。

晶片以邊界掃描的方法進行測試，依照上述的步驟可以測試出晶片內的電路模組之功能是否正常。但是，邊界掃描方法的缺點是測試所有的邏輯電路所需要的測試式樣，其訊號是以串列的方式一筆一筆地接收或送出，此動作耗費了不少的時間。

而且，用來測試晶片所要產生與修正之測試式樣，若晶片的電路模組改變，則測試式樣亦需隨之改變，使得產品推出時程延後。此外，測試用的多工正反器在晶片中佔用很大的面積，亦不符合經濟效益。

其中，與邊界掃描的方法之相關文獻有 1."Boundary-Scan Test : A Pratical Approach" Harry Bleeker,Peter Van Den Eijnden,Frans De Jong / Hardcover / Kluwer Academic Publishers / January 1993 : 2. "The Test Access Port and Boundary-Scan Architecture" Colin M. Maunder,Rodham Tulloss / Hardcover / IEEE Computer Society Press / January 1991。

因此本發明係提供一種測試晶片之方法與電路，其可以容易地產生測試式樣以進行晶片之測試，以減少修改測試式樣的測試時程，並且減少測試成本。而且，在不犧牲晶片的性能的情況下，可以減少測試電路所需的晶片面積，並且測試電路可以簡易地應用在晶片的積體電路。



## 五、發明說明( 5 )

本發明係提供一種測試晶片之方法，此晶片具有一智產電路模組，此測試方法包括下列步驟：首先，提供一測試式樣。接著，於數個不同狀態依照此測試式樣分別設定複數個暫存器。以及，於一下一個狀態時，提供一測試起始訊號至智產電路模組，使此智產電路模組依據測試式樣而運作，以測試此智產電路模組。

本發明係提供一種測試晶片之電路，此晶片具有一智產電路模組，此測試晶片之電路包括：數個暫存器，耦接至智產電路模組，用以將暫存在其內的訊號輸出至智產電路模組。以及，一多工有限狀態機器控制器，耦接至智產電路模組、及這些暫存器，此多工有限狀態機器控制器接收一測試式樣，於數個不同狀態依照此測試式樣分別設定這些暫存器。以及，於一下一個狀態時，提供一測試起始訊號至智產電路模組，使智產電路模組依據這些暫存器的輸出而運作，以測試智產電路模組。

本發明係提供另一種測試晶片之電路，此晶片具有數個智產電路模組，此測試晶片之電路包括：一多工控制器，耦接至這些智產電路模組，用以選擇這些智產電路模組之測試結果的輸出。複數個暫存器，耦接至這些智產電路模組，用以將暫存在其內之訊號輸出至這些智產電路模組。以及，一多工有限狀態機器控制器，耦接至這些智產電路模組、多工控制器及這些暫存器，此多工有限狀態機器控制器接收一測試式樣，於數個不同狀態依照此測試式樣分別設定這些暫存器，接著於一下一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(6)

個狀態時，提供一測試起始訊號至這些智產電路模組其中之一，使其依據這些暫存器的輸出而運作，而多工有限狀態機器控制器控制多工控制器，使多工控制器選擇性輸出測試結果。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1 圖繪示習知之測試晶片的內部掃描鍊結構圖；

第 2 圖繪示習知之測試晶片的邊界掃描方塊圖；

第 3 圖繪示本發明之測試晶片的電路方塊示意圖；

以及

第 4 圖繪示本發明之測試晶片的電路方塊圖。

標號說明：

102：多工暫存器 MF1(Multiplexed Flip Flop MF1)

104：多工暫存器 MF5(Multiplexed Flip Flop MF5)

106：多工暫存器 MF2(Multiplexed Flip Flop MF2)

108：多工暫存器 MF3(Multiplexed Flip Flop MF3)

110：多工暫存器 MF4(Multiplexed Flip Flop MF4)

112，114，116：組合邏輯電路(Combinational Logic Circuit)

202，204，206，208：邏輯電路(Logic Circuit)

210：邊界掃描細胞(Boundary Scan Cell)

302：智產電路模組(Intellectual Product Circuit)

## 五、發明說明 ( 7 )

Module)

304, 412 : 埠 1(port1)

306, 414 : 埠 2(port2)

308, 416 : 埠 3(port3)

310, 312, 314, 402, 422, 424 : 暫存器(Register)

316, 418 : 多工有限狀態控制器(MUX Finite State Machine Controller)

402 : 晶片 (Chip)

404 : 多工控制器(Controller & MUX)

406 : IPA

408 : IPB

410 : IPC

### 實施例

第 3 圖繪示本發明之測試晶片的電路方塊示意圖。在第 3 圖中，晶片為具有一個智產(Intellectual Product)電路模組 302，其中智產電路模組 302 接收測試式樣的輸入端為埠 1 304、埠 2 306 與埠 3 308。

暫存器 310、暫存器 312 與暫存器 314 分別耦接至智產電路模組 302 的埠 1 304、埠 2 306 與埠 3 308，由智產電路模組 302 讀出暫存在其內的測試式樣(test pattern)。其中暫存器 310、暫存器 312 與暫存器 314 各具有一致能輸入端(為第 3 圖中的 ENR1、ENR2 與 ENR3)，這些致能輸入端耦接至多工有限狀態機器控制器 316，並由多工有限狀態機器控制器 316 控制暫存器

## 五、發明說明( 8 )

310、暫存器 312 與暫存器 314，當多工有限狀態機器控制器 316 在送出致能訊號至各個暫存器的致能輸入端時，則使這些暫存器暫存測試式樣。

多工有限狀態機器控制器 316 耦接至智產電路模組 302、暫存器 310、暫存器 312 與暫存器 314。多工有限狀態機器控制器 316 的時脈端 CLK 每接收一個時脈訊號，在輸入端(輸出 1~輸入 5)就接收相應於測試式樣的資料或指令。舉例來說在第一狀態時，多工有限狀態機器控制器 316 將測試式樣暫存至暫存器 310，在第二狀態時，多工有限狀態機器控制器 316 將測試式樣暫存至暫存器 312，在第三狀態時，多工有限狀態機器控制器 316 將測試式樣暫存至暫存器 314，在第四狀態時，多工有限狀態機器控制器 316 提供一同步時脈的訊號至智產電路模組 302 的同步時脈端，使智產電路模組 302 依據暫存器 310、暫存器 312 及暫存器 314 所暫存的測試式樣訊號而運作，以分時處理方式達到測試智產電路模組 302 的目的。

在第 3 圖中，智產電路模組 302 中訊號輸入端(包括埠 1 304、埠 2 306 與埠 3 308)的數目、使用暫存器(包括暫存器 310、暫存器 312 及暫存器 314)的數目、與多工有限狀態機器控制器 316 的狀態數目是用於作為實施例說明之用，並非用於限定本發明之使用範圍。

第 4 圖繪示本發明之測試晶片的電路方塊圖。在第 4 圖中為一種晶片 402 之測試電路，此晶片 402 可以是

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(9)

一系統單晶片(System On Chip)，且晶片 402 具有數個智產電路模組(包括 IPA 406、IPB 408 與 IPC 410)，其中 IPA 406 接收測試式樣的輸入端為埠 1 412、埠 2 414 與埠 3 416；同理，IPB 408 與 IPC 410 亦具有用以接收測試式樣的輸入端。此測試電路包括：

多工控制器 404 耦接至智產電路模組(包括 IPA 406、IPB 408 與 IPC 410)，其中多工控制器 404 具有一選擇輸入端，接收多工有限狀態機器控制器 418 所輸出的選擇訊號，以選擇輸出 IPA 406、IPB 408 或 IPC 410 的測試結果。

暫存器 420、暫存器 422 與暫存器 424 耦接至智產電路模組(包括 IPA 406、IPB 408 與 IPC 410)，用以將暫存在其內的測試式樣輸出至智產電路模組(包括 IPA 406、IPB 408 與 IPC 410)。其中暫存器 420、暫存器 422 與暫存器 424 各具有一致能輸入端(在第 4 圖未繪示)，這些致能輸入端耦接至多工有限狀態機器控制器 418，並由多工有限狀態機器控制器 418 控制暫存器 420、暫存器 422 與暫存器 424，當多工有限狀態機器控制器 418 送出致能訊號至這些至各個暫存器的致能輸入端時，則使這些暫存器暫存測試式樣。

多工有限狀態機器控制器 418 亦耦接智產電路模組(包括 IPA 406、IPB 408 與 IPC 410)、多工控制器 404、暫存器 420、暫存器 422 與暫存器 424。以 IPA 406 為例，多工有限狀態機器控制器 418 在輸入端接收一測試式

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(10)

樣，於在第一狀態時，多工有限狀態機器控制器 418 將測試式樣暫存至暫存器 420，在第二狀態時，多工有限狀態機器控制器 418 將測試式樣暫存至暫存器 422，在第三狀態時，多工有限狀態機器控制器 418 將測試式樣暫存至暫存器 424，在第四狀態時，多工有限狀態機器控制器 418 提供一同步時脈 A 的訊號至 IPA 406 的時脈輸入端，致能 IPA 406 內的埠，多工有限狀態機器控制器 418 使 IPA 406 依據暫存器 420、暫存器 422 及暫存器 424 所輸出的測試式樣而運作。多工有限狀態機器控制器 418 控制多工控制器 404，使多工控制器 404 輸出 IPA 406 的測試結果。

接著，以測試另一 IP 為例，在第五狀態時，多工有限狀態機器控制器 418 將測試式樣暫存至暫存器 420，在第六狀態時，多工有限狀態機器控制器 418 將測試式樣暫存至暫存器 422，在第七狀態時，多工有限狀態機器控制器 418 將測試式樣暫存至暫存器 424，在第八狀態時，多工有限狀態機器控制器 418 提供一同步時脈 B 的訊號至 IPB 408 的時脈輸入端，致能 IPB 408 內的埠，使 IPB 408 依據暫存器 420、暫存器 422 及暫存器 424 所輸出的測試式樣而運作。多工有限狀態機器控制器 418 控制多工控制器 404，使多工控制器 404 選擇性輸出 IPB 408 的測試結果。如此，上述之方式即以分時處理方式達到測試智能電路模組(包括 IPA 406、IPB 408 與 IPC 410)的目的。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明 ( 11 )

在第 4 圖中，智產電路模組(包括 IPA 406、IPB 408 與 IPC 410)的 IP 數目、IP 中訊號輸入端(包括埠 1 412、埠 2 414 與埠 3 416)的數目、使用暫存器(包括暫存器 420、暫存器 422 及暫存器 424)的數目、與多工有限狀態機器控制器 418 的狀態數目是用於作為實施例說明之用，並非用於限定本發明之使用範圍。

因此，本發明的優點係提供一種測試晶片之方法及其電路，其可易於產生測試式樣以進行晶片之測試，以減少修改測試式樣的測試時程，並且減少測試成本。而且，在不犧牲晶片的性能的情況下，可以減少測試電路所需的晶片面積，並且測試電路可以簡易地應用在晶片的積體電路。

綜上所述，雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

1.一種測試晶片之方法，該晶片具有一智產電路模組，測試晶片之方法包括下列步驟：

提供一測試式樣；

於複數個不同狀態依照該測試式樣分別設定複數個暫存器；以及

於一下一狀態時，提供一測試起始訊號至該智產電路模組，使該智產電路模組依據該測試式樣而運作，以測試該智產電路模組。

2.一種測試晶片之電路，該晶片具有一智產電路模組，測試晶片之電路包括：

複數個暫存器，耦接至該智產電路模組，用以將暫存在其內之訊號輸出至該智產電路模組；以及

一多工有限狀態機器控制器，耦接至該智產電路模組及該些暫存器，該多工有限狀態機器控制器接收一測試式樣，於複數個不同狀態依照該測試式樣分別設定該些暫存器，接著於一下一狀態時，提供一測試起始訊號至該智產電路模組，使該智產電路模組依據該些暫存器之輸出而運作，以測試該智產電路模組。

3.如申請專利範圍第 2 項所述之測試晶片之電路，其中該智產電路模組包括複數個埠，各暫存器分別耦接至各埠。

4.如申請專利範圍第 2 項所述之測試晶片之電路，其中該測試起始訊號係為一同步時脈訊號。

5.如申請專利範圍第 2 項所述之測試晶片之電路，



## 六、申請專利範圍

其中該些暫存器的每一個暫存器更包括一致能輸入端，耦接至該多工有限狀態機器控制器，並由該多工有限狀態機器控制器控制該些暫存器，由該多工有限狀態機器控制器送出一致能訊號使該些暫存器暫存該測試式樣。

6.一種測試晶片之電路，該晶片具有複數個智產電路模組，該測試晶片之電路包括：

一多工控制器，耦接至該些智產電路模組，用以選擇該些智產電路模組之測試結果的輸出；

複數個暫存器，耦接至該些智能型產品智產電路模組，用以將暫存在其內之訊號輸出至該些智能型產品智產電路模組；以及

一多工有限狀態機器控制器，耦接至該些智產電路模組、該多工控制器及該些暫存器，該多工有限狀態機器控制器接收一測試式樣，於複數個不同狀態依照該測試式樣分別設定該些暫存器，接著於下一狀態時，提供一測試起始訊號至該些智產電路模組的其中一個智產電路模組，使其依據該些暫存器之輸出而運作，該多工有限狀態機器控制器控制該多工控制器，使該多工控制器選擇性輸出測試結果。

7.如申請專利範圍第 6 項所述之測試晶片之電路，其中各智產電路模組包括複數個埠，其耦接至該些暫存器各埠。

8.如申請專利範圍第 6 項所述之測試晶片之電路，其中該多工控制器更包括一選擇輸入端，耦接至該多工

## 六、申請專利範圍

有限狀態機器控制器，並由該多工有限狀態機器控制器控制，以選擇性輸出測試結果。

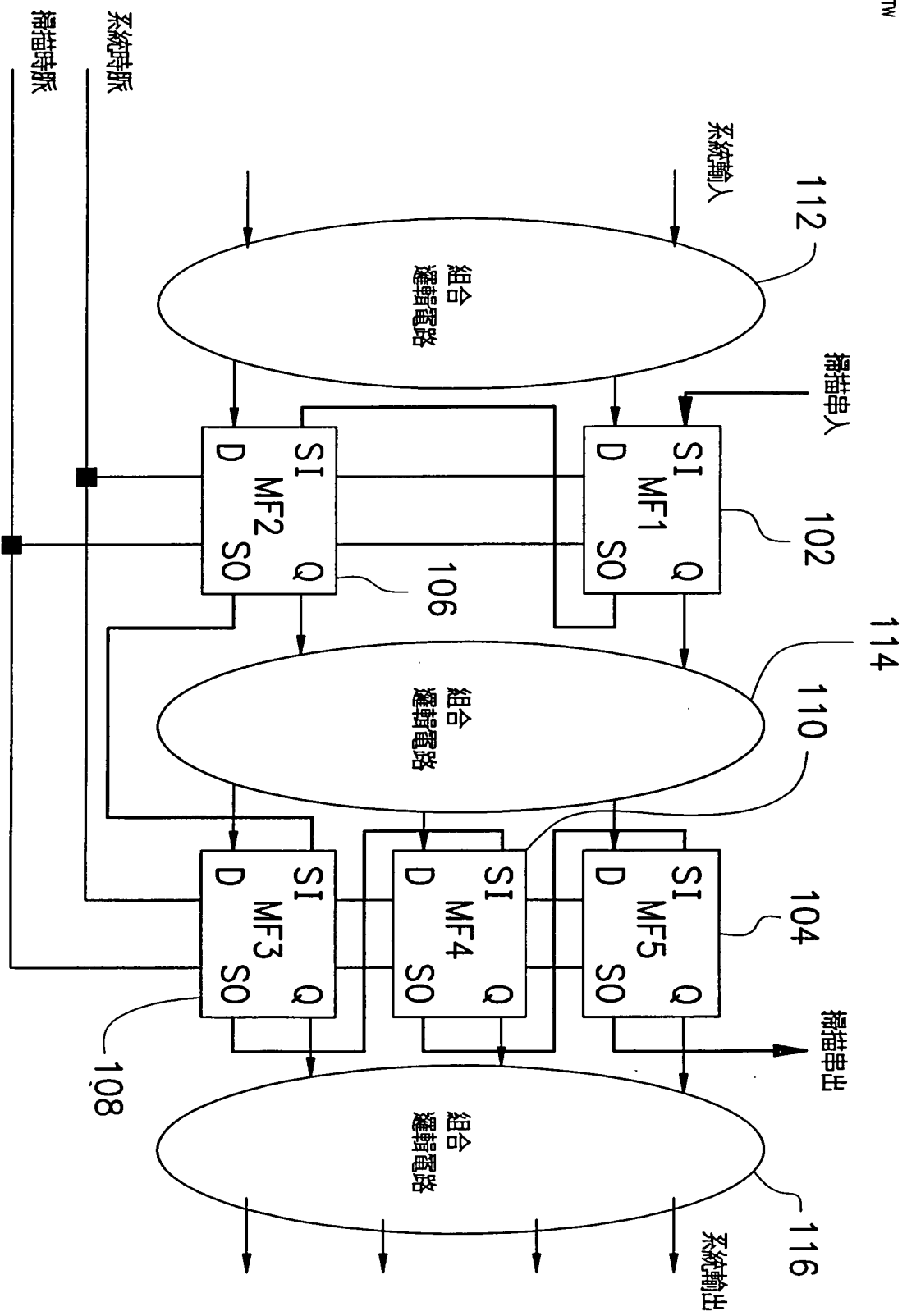
9.如申請專利範圍第 6 項所述之測試晶片之電路，其中該測試起始訊號係為一同步時脈訊號。

10.如申請專利範圍第 6 項所述之測試晶片之電路，其中該暫存器的每一個暫存器更包括一致能輸入端，耦接至該多工有限狀態機器控制器，並由該多工有限狀態機器控制器控制該些暫存器，以分別致能該些暫存器暫存該測試式樣。

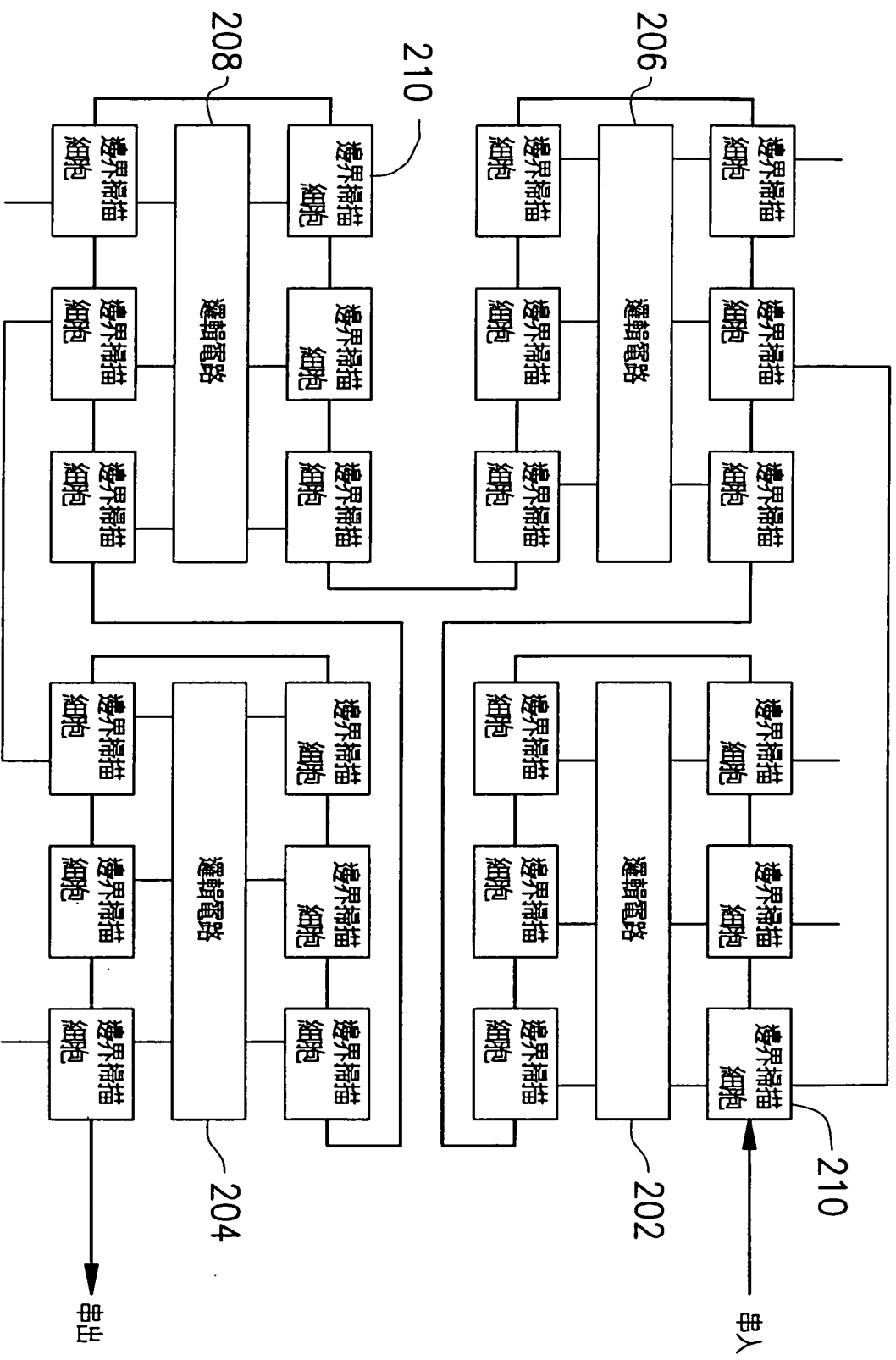
11.如申請專利範圍第 6 項所述之測試晶片之電路，其中該晶片係為一系統單晶片。

(請先閱讀背面之注意事項再填寫本頁)

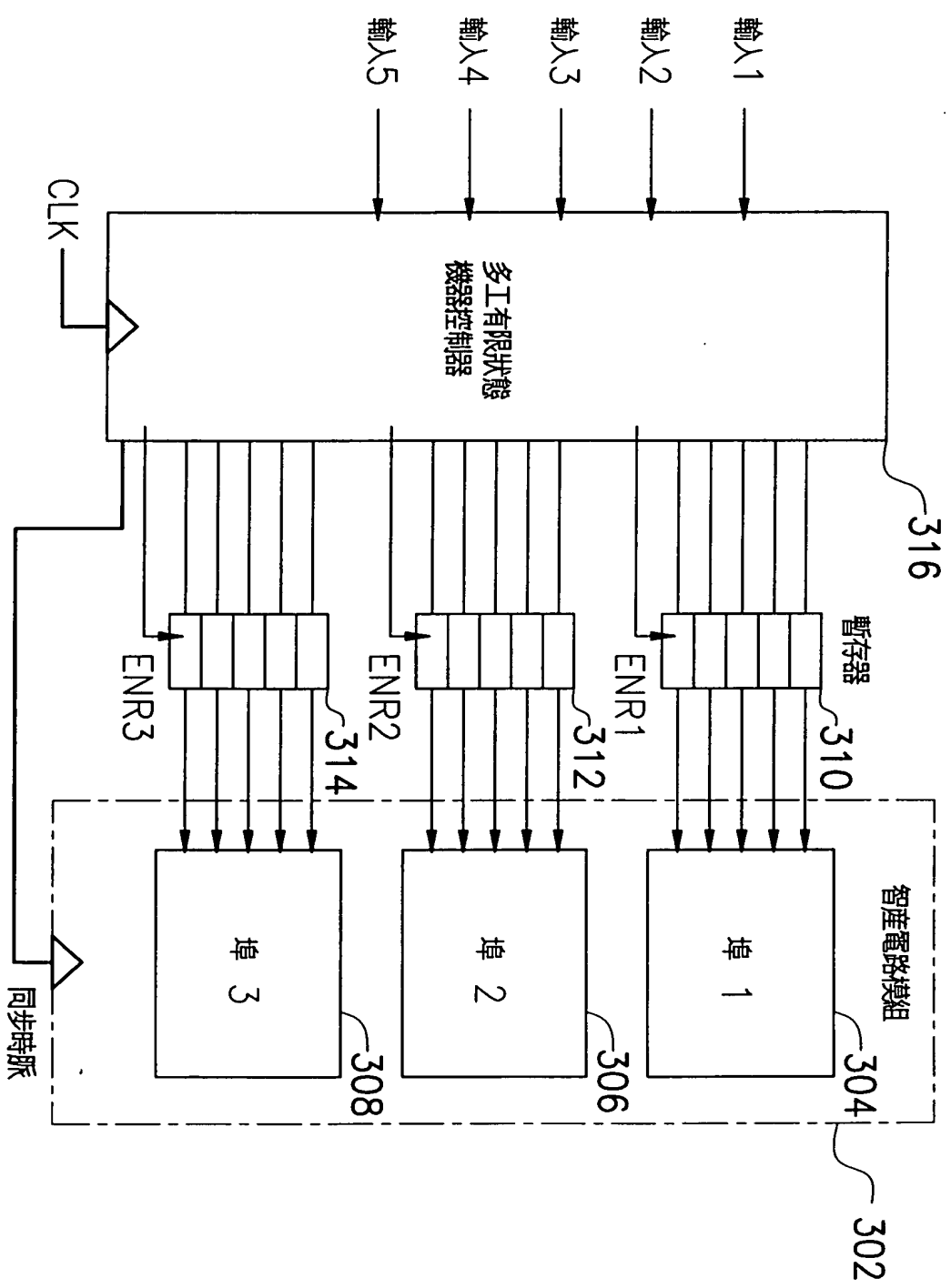
裝  
訂  
線



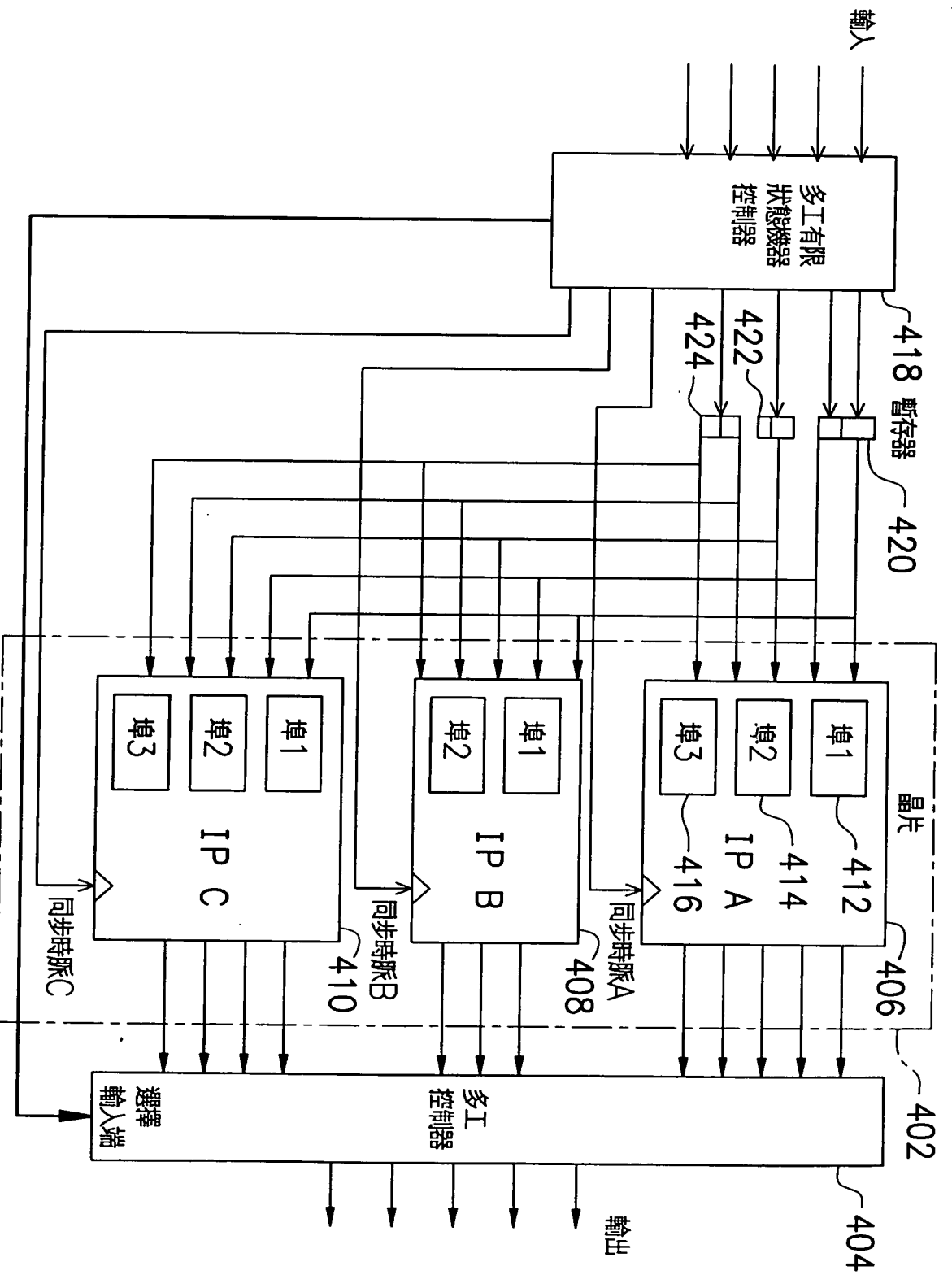
第 1 圖



第 2 圖



第 3 圖



第 4 圖